

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月12日
Date of Application:

出願番号 特願2003-133248
Application Number:
[ST. 10/C]: [JP2003-133248]

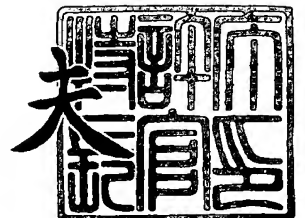
出願人 株式会社村田製作所
Applicant(s):



2003年 9月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3078233

【書類名】 特許願

【整理番号】 33-0022

【提出日】 平成15年 5月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 9/145

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
製作所内

【氏名】 岩本 敬

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【電話番号】 075-955-6731

【先の出願に基づく優先権主張】

【出願番号】 特願2002-368518

【出願日】 平成14年12月19日

【手数料の表示】

【予納台帳番号】 005304

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品およびその製造方法

【特許請求の範囲】

【請求項 1】 基板と、前記基板に形成された少なくとも一つの圧電体振動部および接続部と、少なくとも前記圧電体振動部を覆う平板状の樹脂材料からなる構造体とを備えた電子部品であって、

前記構造体は、前記圧電体振動部を覆う天板部と側壁部とを有する一体構造でもって、少なくとも前記圧電体振動部の振動を阻害しない空間部を与える凹形状部を備えることを特徴とする電子部品。

【請求項 2】 前記構造体は、少なくとも前記圧電体振動部を封止することを特徴とする、請求項 1 記載の電子部品。

【請求項 3】 前記構造体は、上面に実装部を有し、前記実装部と前記接続部とを電氣的に接続する導通配線部を備えることを特徴とする、請求項 1 または 2 に記載の電子部品。

【請求項 4】 前記実装部は、前記接続部と前記構造体の厚み方向で重ならないことを特徴とする、請求項 3 に記載の電子部品。

【請求項 5】 前記凹形状部は、前記樹脂材料からなる構造体をレーザー光でハーフ加工することにより形成されることを特徴とする、請求項 1 乃至 4 に記載の電子部品。

【請求項 6】 前記凹形状部は、前記樹脂材料からなる構造体をフォトリソ工法で加工することにより形成されることを特徴する、請求項 1 乃至 4 に記載の電子部品。

【請求項 7】 前記構造体は、ポリイミドフィルムまたは液晶ポリマーフィルムであることを特徴とする、請求項 5 に記載の電子部品。

【請求項 8】 前記構造体は、感光性材料からなることを特徴とする、請求項 6 に記載の電子部品。

【請求項 9】 基板と、前記基板に形成された少なくとも一つの圧電体振動部および接続部と、少なくとも前記圧電体振動部を覆う平板状の樹脂材料からなる構造体とを備えた電子部品の製造方法であって、

前記構造体に凹形状部とスルーホール部を形成する工程と、

前記構造体の凹形状部と前記圧電体振動部および前記スルーホール部と前記接続部をアライメントして接合し、前記構造体の凹形状部で前記圧電体振動部を封止する工程と、

前記構造体の上面に実装部を形成する工程と

前記接続部と前記実装部を電氣的に接続する導通配線部を形成する工程とを備えることを特徴とする電子部品の製造方法。

【請求項 1 0】 前記凹形状部と前記スルーホール部を形成する工程は、レーザー光により形成されることを特徴とする、請求項 9 に記載の電子部品の製造方法。

【請求項 1 1】 前記凹形状部と前記スルーホール部を形成する工程は、フォトリソ工法により形成されることを特徴とする、請求項 9 に記載の電子部品の製造方法。

【請求項 1 2】 前記フォトリソ工法で用いるフォトマスクは、前記凹形状部に対応する部分が、感光性材料の現像時に完全除去できないような露光状態となるパターンと、前記感光性材料の現像時に現像液耐性を生じるような露光状態となるパターンにより構成され、

前記スルーホール部に対応する部分は、前記感光性材料が現像時に完全除去できるような露光状態となるパターンにより構成されていることを特徴とする、請求項 1 1 に記載の電子部品の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基板に少なくとも一つの圧電体振動部および接続部を有する電子部品であって、携帯電話等の通信分野やテレビジョン等の電子回路に用いられる電子部品に関する。

【0 0 0 2】

【従来の技術】

電子部品の基本的な構成は、基板上に形成された圧電体振動部を、その信頼性

を確保する目的で、気密封止するパッケージに収納する構造がとられる。

【0 0 0 3】

この際、気密封止に用いるパッケージは、基板上に形成された圧電体振動部の振動を阻害することの無いように圧電体振動部の上面に相当する部分に空間部を有する構造を備える。空間部構造を有するメタル製やセラミックス製のパッケージを用いることで、信頼性を確保する構造をとる。しかし、このような構造は、パッケージサイズ自体も大きくなり、電子部品の小型化に対する課題を有している。

【0 0 0 4】

また、基板は、形成された圧電体振動部の特性を引き出すために、入出力に対する電氣的な接合を施す必要がある。その手法として、基板上に形成された接続部と他の所望する接続部とを、ワイヤーやバンプを用いて電氣的に接合する方式がとられる。しかし、この空間を確保するために、電子部品自身が大型化するという課題を有していた。

【0 0 0 5】

そこで、構成要素が形成された圧電基板を有する弾性表面装置において、圧電基板と、熱膨張係数を圧電基板に合わせた弾性表面波の振動を阻害することの無いように空間部を備えるガラス部材とを陽極接合にて接合し、封止する。更に、ガラス部材にスルーホールを形成して、圧電基板と外部とを電氣的に接合することで、電子部品自身をパッケージベースとして利用できる電子部品が提案されている（例えば、特許文献 1 参照。）。

【0 0 0 6】

【特許文献 1】

特開 1 9 9 6 - 3 3 0 8 9 4 号公報

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、上記した圧電基板をガラス部材にて封止する電子部品には、以下の問題が存在する。

【0 0 0 8】

特許文献 1 においては、圧電基板上に形成された I D T 電極を封止するために、I D T 電極の上部に振動を阻害することが無いように空間部を形成したガラス部材を、圧電基板に陽極接合を用いて接合する手法が用いられる。しかし、圧電基板は、一般に絶縁性が高く、電界を印加するためには、接合する個所に新たに導電部材を設ける必要がある。このため、接合箇所には配線等を行うことが出来ず、電子部品の小型化に対して課題を有することになる。

【 0 0 0 9 】

また、ガラス部材は、熱膨張係数を圧電基板と等しくする必要があるため、リチウムイオンやナトリウムイオン等の可動イオンを含むガラス部材が用いられる。可動イオンは、電極材料である A l 等を腐食する作用を有することから、電子部品としての信頼性に課題を有する。

【 0 0 1 0 】

また、ガラス部材の空間部を形成する方法として、マスク材となる金属をスパッタ等で形成し、フッ酸等でエッチングすることで空間部が形成される。これらは、製造コスト面に課題を有するプロセスであることは明らかである。

【 0 0 1 1 】

更に、ガラス部材にスルーホールを形成するには、電気化学放電ドリル法または超音波ドリル法が用いられる。これは、形成するスルーホールのサイズに対する課題、またプロセスにおける量産性およびコスト面に課題を有する。

【 0 0 1 2 】

また、ウエハーでの一括プロセスを考慮した時には、ガラス部材の有する機械的強度の問題から生じるワレ、カケ等の問題を有することは明らかである。更にこの構造においては、電子部品の低背化するためには、封止キャップの厚みを低下させることが必要である。しかし、封止キャップの厚みの低下は、封止キャップの機械的な強度の低下につながることから、製造プロセスにおいても封止キャップが破損する等の課題を有することになる。

【 0 0 1 3 】

【課題を解決するための手段】

上記問題を解決すべく本発明は、基板と、基板に形成された少なくとも一つの

圧電体振動部および接続部と、少なくとも圧電体振動部を覆う平板状の樹脂材料からなる構造体とを備えた電子部品であり、構造体は、圧電体振動部を覆う天板部と側壁部とを有する一体構造でもって、少なくとも圧電体振動部の振動を阻害しない空間部を与える凹形状部を備える電子部品である。また、構造体は、少なくとも圧電体振動部を封止することを特徴とする。

【0014】

また、構造体は、上面に実装部を有し、実装部と接続部とを電氣的に接続する導通配線部を備えることを特徴とする。また、実装部は、接続部と構造体に厚み方向で重ならないことを特徴とする。

【0015】

また、凹形状部は、樹脂材料からなる構造体をレーザー光でハーフ加工することにより形成されることを特徴とする。また、凹形状部は、樹脂材料からなる構造体をフォトリソ工法で加工することにより形成することを特徴とする。また、構造体は、ポリイミドフィルムまたは液晶ポリマーフィルムであることを特徴とする。また、構造体は、感光性材料からなることを特徴とする。

【0016】

また、基板と、基板に形成された少なくとも一つの圧電体振動部および接続部と、少なくとも圧電体振動部を覆う平板状の樹脂材料からなる構造体とを備えた電子部品の製造方法であり、構造体に凹形状部とスルーホール部を形成する工程と、構造体の凹形状部と圧電体振動部およびスルーホール部と接続部をアライメントし接合し、構造体の凹形状部で圧電体振動部を封止する工程と、構造体の上面に実装部を形成する工程と、実装部と接続部とを電氣的に接続する工程とを備えることを特徴とする電子部品の製造方法である。

【0017】

また、凹形状部とスルーホール部を形成する工程は、レーザー光により形成されることを特徴とする。また、凹形状部とスルーホール部を形成する工程は、フォトリソ工法により形成されることを特徴とする。

【0018】

更に、フォトリソ工法で用いるフォトマスクは、凹形状部に対応する部分が、

感光性材料の現像時に完全除去できないような露光状態となるパターンと、感光性材料の現像時に現像液耐性を生じるような露光状態となるパターンにより構成され、スルーホール部に対応する部分は、感光性材料が現像時に完全除去できるような露光状態となるパターンにより構成されていることを特徴とする電子部品の製造方法である。

【0019】

以上のような本発明の電子部品によれば、構造体に、圧電体振動部の振動を阻害しない空間部および圧電体振動部を封止する構造を備えることから、低背化および小型化に対応した電子部品の形成が可能となる。また、基板上の配線を跨ぐようにして構造体を基板に搭載することも可能であり、チップサイズを原理的な最小のサイズにすることができる。

【0020】

更に、基板上に形成された接続部と実装配線部との電気的な接続をとるための形成プロセスが容易である。また、本発明の電子部品における構造体は、その結晶性を変えることで基板と熱膨張係数をそろえることができ、かつ、電極に腐食を与えるようなことはない。また、構造体に対するレーザー加工法およびフォトリソ工法は、高速で精度の高い微細加工を行うことができ、小型化には有利である。

【0021】

本発明の構造体を備える電子部品によれば、低コストな製造プロセスにて、小型化・低背化に対応した電子部品の供給が可能となる。

【0022】

【発明の実施の形態】

以下、本発明の実施例について添付図に基いて詳細に説明する。

【0023】

図1は、本発明の電子部品における一実施例の概略平面図、図2は、図1におけるA-A部断面図を示す。

【0024】

図1、2において、電子部品50は、基板1と構造体4を有する。

【 0 0 2 5 】

基板 1 上には、複数の I D T 電極 2 と接続部 3 が形成されている。接続部 3 は、I D T 電極 2 と電氣的に接続されており、所望の機能を引き出すことができる。また、I D T 電極 2 には、求められる機能に対するパターン形状および膜厚の電極が形成されている。また、パターン形状は、I D T 電極 2 に限るものではなく、圧電体振動部を構成する電極部であれば良い。

【 0 0 2 6 】

また、接続部 3 の上面には、パッド部 5 が形成されている。更に、基板 1 の裏面には、保護膜 1 7 が形成されている。

【 0 0 2 7 】

構造体 4 の下面には、I D T 電極 2 の振動を阻害しない空間部を与える複数の凹形状部 9 を備える。また、構造体 4 の上面には、実装配線部 7 が形成され、実装配線部 7 の上面にバンプパッド部 1 8 が形成される。更にその上面にバンプ部 8 が形成されている。また、構造体 4 は、実装配線部 7 と基板 1 の上面に形成されたパッド部 5 とを電氣的に接続するためにスルーホール部 6 に導電性材料 1 0 が充填されている（以下導通配線部と称する）。

【 0 0 2 8 】

構造体 4 は、基板 1 上の I D T 電極 2 が形成された面に接合される。その際、基板 1 上に形成された I D T 電極 2 は、構造体 4 に備える凹形状部 9 で覆われ、I D T 電極 2 が封止される。また、基板 1 上に形成されたパッド部 5 と構造体 4 のスルーホール部 6 に充填された導電性材料 1 0 は、電氣的に接合される。

【 0 0 2 9 】

以上のように、凹形状部 9 および導通配線部を有する構造体 4 を備えることで、封止および電氣的な接続による電子部品 5 0 の体積増加を最小限に抑えることができる。また、構造体 4 の厚みは、0. 0 5 mm 程度とすることが可能であり、小型化および低背化に対応した電子部品 5 0 を提供することが可能となる。

【 0 0 3 0 】

また、スルーホール部 6 は、レーザー加工により精度の高い微細加工が可能であることから、フォトリソグラフィー技術等の複雑なプロセスを必要としない。

また、加工の高速化への対応ができることから、低コストでの形成が可能となる。

【0031】

更に、構造体4に、液晶ポリマーを用いることでその結晶性を変えることができる。それによって基板1の熱膨張係数に合わせることが可能で、熱膨張差により生ずる位置ズレを抑えることができ、ウエハーレベルでの一括生産プロセスにも対応が可能となる。

【0032】

また、フリップチップ実装部となるバンプ8の位置を基板1上に形成した接続部3の位置と構造体4の厚み方向で重ならないようにすることで、フリップチップ実装時の応力が導通配線部を介して、基板1に伝わることがない。構造体4が、ガラスやセラミックスに比較し、フレキシビリティ性を有することで応力吸収の役割を一部果たすことから、基板1に対するダメージの少ない電子部品の形成ができる。更に、これら条件を考慮した中で、構造体4の上面に形成されるバンプ8の位置は、実装基板に対応して、自由な配置が可能である。また、電子部品は、IDT電極2を構造体4で封止した後にチップサイズに加工するため、IDT電極2に対するカット加工時のダメージやカットクズ等の付着による不良の発生を抑制することになり、良品率の向上につながり低コスト化が可能となる。

【0033】

上記した本発明における電子部品の製造方法の詳細を図3～5に示す概略プロセスフローを用いて説明する。

【0034】

先ず、図3に示す基板1の製造方法の概略プロセスフローを説明する。

【0035】

図3(a)に示すように、基板1の上面にフォトリソ工法を用いて、所望のレジストパターンを形成する。先ず、スピンコーター等を用いて、所定の膜厚のレジストを塗布する。次に、所定のパターンが形成されたフォトリソマスクを介してレジストを露光し、現像処理することにより必要な個所が開口されたレジストパターン11が形成される。基板1は、所望する圧電特性に合わせて、LiTa

O_3 、水晶、 LiNbO_3 、 $\text{Li}_2\text{B}_4\text{O}_7$ 等を用いる。レジストパターン11は、リフトオフを考慮して逆テーパー形状に形成されることが好ましい。

【0036】

次に、図3(b)に示すように、電極材料12としてAlを真空蒸着法により、所定の膜厚を成膜する。電極材料12は、Alに限るものではなく、Cu、Al-Cu合金、Au等を用いても構わない。次に、剥離液に浸漬、揺動させることにより、レジストパターン11および不要な電極材料が剥離され、図3(c)に示すように、IDT電極2、バスバー(図示せず)およびリフレクター(図示せず)、接続部3、更にそれらを電氣的に接続する配線部(図示せず)を形成する。

【0037】

次に、図3(d)に示すように、基板1上に形成された接続部3の上面にパッド部5を形成する。パッド部5の形成は、先ず、フォトリソ工法を用いて、接続部3の上面が開口したレジストパターンを形成する。次に真空蒸着法により、Tiを10nm、Niを100nm、Snを1000nm成膜する。これらの成膜は、真空を破ることなく連続にて成膜されることが望ましい。次に、剥離液に浸漬、揺動させることにより、レジストおよび不要な膜を剥離することで、パッド部5が形成される。これで、基板1の上面にIDT電極2、接続部3およびパッド部5が形成された部材Bが形成される。

【0038】

次に、構造体4の製造方法の詳細を図4に示す概略プロセスフローを用いて説明する。

【0039】

先ず、図4(a)に示すように、鏡面加工された仮接着基板13に、熱可塑性樹脂膜14を形成する。次に、熱可塑性樹脂14が形成された上面に0.03mmのCu箔15を有する構造体4をCu箔15を仮接着基板13に向けて接着する。

【0040】

次に、図4(b)に示すように、構造体4にIDT電極の振動を阻害しない空

間部を与える凹形状部 9、スルーホール部 6 およびカットライン部 1 6 をレーザー光により加工する。

【0 0 4 1】

凹形状部 9 は、深さを 0. 0 1 5 mm の加工を施す。構造体 4 として液晶ポリマーフィルムを用いた時のレーザー加工条件として、レーザー光の波長を 5 3 2 nm、発振周波数を 3 0 k H z、エネルギー密度を 2 0, 0 0 0 J / m² で加工すると良い。このレーザー加工条件は、加工する深さおよび加工速度に対応させて設定すれば良い。I D T 電極 2 の振動を阻害しない凹形状部 9 としての深さ方向の加工精度および加工品質を得るためには、レーザー光の波長を 5 3 2 nm 以下、発振周波数を 5 k H z 以上、エネルギー密度を 5 0, 0 0 0 J / m² 以下で加工することが好ましい。また、レーザー光の波長が 3 5 5 nm、2 6 6 nm の短波長であれば良好な加工精度が得られる。

【0 0 4 2】

また、凹形状部 9 の面積が、0. 3 × 0. 4 mm の時、レーザー光の径を 0. 1 mm、加工時のレーザー光の重なり幅を 0. 0 5 mm とすれば、一つの凹形状部 9 を形成するのに 4 8 ショットが必要となる。この時、レーザー光の波長が 3 0 k H z である時、7 2 5 個所 / s e c で凹形状部 9 の形成が可能となる。これは、高速加工が可能であることを示す数値である。

【0 0 4 3】

次に、スルーホール部 6 およびカットライン部 1 6 は、構造体 4 に対し貫通する加工を施す。スルーホール部 6 は、基板 1 上に形成した接続部 3 およびパッド部 5 に対応する貫通穴を形成し、カットライン部 1 6 には、後工程でチップサイズにカットする加工条件を考慮して、その寸法が設定されるべきものである。レーザー加工条件については、加工速度が良好な条件として、凹形状部 9 に対する加工条件に比較し、エネルギー密度を高めに設定しても良い。上記同様に非常に高速な加工が可能である。更に、レーザー加工条件においては、更なる加工品質を求める時には、減圧した雰囲気にて加工することが好ましい。求める精度および品質に対してそれぞれの加工条件が決定される。

【0 0 4 4】

次に、図4(c)に示すように、形成したスルーホール部6に導電性材料10として導電性ペーストを充填する。充填後、200℃で2時間程度の熱処理を施すことで、導通配線部が構成される。

【0045】

これで、仮接着基板13上にIDT電極2の振動を阻害しない凹形状部9、導通配線部およびカットライン部16を備えた構造体4が設けられた部材Cが形成される。

【0046】

次に、図5に示す本発明の電子部品の製造方法を概略プロセスフローを用いて説明する。

【0047】

先ず、図5(a)に示すように、部材Bに、部材Cを搭載する。

【0048】

両部材B、Cは、スルーホール部6に充填された導電性材料10と基板1上のパッド部5とを、並びにIDT電極2とIDT電極2の振動を阻害しない凹形状部9とをアライメントし、加熱、加圧することにより接合される。この際、アライメント機能と加熱機能を有する接合装置を用いて接合すると良い。この時の接着温度を240℃とすることで、バンプ部5の最表面に形成されたSnが熔融し、導電性材料10と電氣的に接合すると共に、併用した加圧効果により構造体4は、基板1と接合する。この際、構造体4は、IDT電極2を封止する。

【0049】

尚、構造体4は、用いられる基板1の材料に合わせ、無機フィラーの添加量を調整することにより、熱膨張係数を揃える。これにより、接合時に生じる位置ズレを最小限に抑えることが可能となる。熱膨張係数は、同等が望ましいが、±5ppm以内のズレまでは問題ない。

【0050】

更に、構造体4は、その求める電子部品によって、材料の選択が可能である。防湿性が重要でない、またはウエハレベルでの接合を必要としない時には、レーザー光での加工が可能で、化学的安定性および耐熱性を有するポリイミドフィル

ム等を選択することも可能である。

【0051】

次に、図5（b）に示すように、仮接着基板13を構造体4から剥離する。仮接着基板13と構造体4との界面には、熱可塑性樹脂14が形成されている。150℃に加熱することで、容易に剥離することが可能である。

【0052】

また、構造体4上に形成した、Cu箔15の表面が熱可塑性樹脂等にて汚染されている時には、この段階で洗浄を施すと良い。更に、基板1の裏面には、マーキングおよび基板1の保護を目的として樹脂膜17を0.03mm程度塗布し、熱処理を施して硬化させる。構造体4としては、エポキシ、アクリル酸エステル、ポリイミド、ベンゾシクロブテン、環オレフィン系等を用いるとよい。熱硬化することで、基板1を衝撃等から保護できる強度を有することが好ましい。

【0053】

次に、図5（c）に示すように、構造体4上に形成されているCu箔15をフォトリソ工法を用いて、実装配線部7を形成する。

【0054】

次に、図5（d）に示すように、フォトリソ工法を用いて、バンプパッド部18を形成する。バンプパッド部18はバンプパッド部18を形成したい部分が開口したレジストパターンを形成後に、Ni膜を成膜し、リフトオフすることにより形成する。フォトリソ工法の詳細は、省略する。

【0055】

更に、バンプパッド部18上に外部基板との実装用バンプとして、バンプ8を形成する。バンプ8の形成法としては、先ずバンプパッド部18上に、マスク印刷法により、レジストパターンを形成する。レジストパターンの開口部は、マスク印刷時の位置ズレを考慮して、バンプパッド部18より小なる寸法に設定しておくが良い。次にレジストパターンを介し、はんだを塗布し、レジストを剥離することでバンプ8が形成される。

【0056】

実装配線部7、バンプパッド部18およびバンプ8は、外部基板との実装を考

慮して、構造体 4 上の任意な位置に設定が可能である。また、バンプ 8 は、基板 1 の接続部 3 と重ならない位置に設定することで、実装時の基板 1 への応力を除ける。

【0057】

次に、構造体 4 に設けたカットライン部 16 を用いて、ダイシングカットソーにより、チップサイズに個片化する。

【0058】

以上により、本発明による電子部品 50 は、基板 1 の厚みに対し、構造体 4 の厚みとして 0.05 mm および基板 1 の裏面に形成した保護膜 17 の厚み 0.03 mm との総厚み 0.08 mm が増加するのみで、IDT 電極 2 の封止および外部との実装機能を表面に有する電子部品を提供することが可能となる。

【0059】

図 6 は、本発明の別の実施例における電子部品を示す概略平面図、図 7 は、図 6 における D-D 部断面図を示す。

【0060】

図 6、7 において、電子部品 60 は、基板 1 と構造体 19 を有する。

【0061】

基板 1 上には、複数の IDT 電極 2 と接続部 3 が形成されている。また、基板 1 の裏面には、保護膜 17 が形成されている。構造体 19 の下面には、IDT 電極 2 の振動を阻害しない空間部を与える凹形状部 9 を備える。また、構造体 19 の上面には、実装配線部 21 が形成される。実装配線部 21 の上面にはバンプパッド部 18 が形成され、その上面にバンプ 8 が形成されている。更に、構造体 19 は、順テーパ形状を有するスルーホール部 20 を備える。実装配線部 21 は、実装配線部 21 と基板 1 の上面に形成された接続部 3 が、スルーホール部 20 のテーパ部を介して電氣的に接続するようにパターン形成されている。

【0062】

構造体 19 は、基板 1 の IDT 電極 2 が形成された面に接合される。その際、基板 1 の上面に形成された IDT 電極 2 は、構造体 19 に備える凹形状部 9 で覆われ、IDT 電極 2 が封止される。

【0063】

また、基板 1 上に形成された接続部 3 は、基板 1 上に形成された I D T 電極 2 と電氣的に接続されており、所望の機能を引き出すことができる。I D T 電極 2 には、求められる機能に対するパターン形状および膜厚の電極が形成されている。また、パターン形状は、I D T 電極 2 に限るものではなく、圧電体振動部を構成する電極部であれば良い。

【0064】

以上のように I D T 電極 2 を封止し、凹形状部 9 を与える構造体 19 を備えることで、小型化および低背化に対応した電子部品 60 を提供することが可能となる。

【0065】

更に、順テーパー形状を有するスルーホール部 20 により、基板 1 と構造体 19 の上面に形成される実装配線部 21 との電氣的な接続に対する配線形成は、実装配線部 21 と同時に形成でき、プロセスの簡略化が可能となり、低コスト化に対応した電子部品 60 を提供することが可能となる。

【0066】

また、構造体 19 に備えた凹形状部 9 の形成およびスルーホール部 20 の形成は、レーザー加工により精度の高い微細加工が可能であることから、フォトリソ工法等の複雑なプロセスを必要としない。また、加工の高速化への対応ができることから、低コストでの形成が可能となる。

【0067】

その他、構造体 19 の使用における効果は、前記した実施例に示すものと同様の効果が得られるものであり、ここでの詳細な説明は、省略するものとする。

【0068】

次に、図 6、7 における電子部品 60 における製造方法を説明する。

【0069】

基板 1 については、前記した実施例と同等であることから記載を省略する。

【0070】

図 8 に示す概略プロセスフローを用いて構造体 19 の製造方法を説明する。

【 0 0 7 1 】

先ず、図 8 (a) に示すように厚さ 1 mm のガラス基板 2 2 の上面に、熱可塑性樹脂膜 1 4 を形成する。次に、ガラス基板 2 2 の熱可塑性樹脂 1 4 が形成された上面に構造体 1 9 を接着する。

【 0 0 7 2 】

次に、図 8 (b) に示すように構造体 1 9 に I D T 電極 2 の振動を阻害しない空間部を与える凹形状部 9 、実装配線部 2 1 と基板 1 の上面に形成された接続部 3 とを電氣的に接続するためスルーホール部 2 0 およびカットライン部 1 6 をレーザー光により加工する。凹形状部 9 およびカットライン部 1 6 の形成条件は、前記した実施例と同様であることから記載を省略する。

【 0 0 7 3 】

次に、スルーホール部 2 0 は、構造体 1 9 が接着されたガラス基板 2 2 の裏面から、波長 3 5 5 n m のレーザー光を照射する。構造体 1 9 は、ガラス基板 2 2 に接着された側において、レーザー光から照射される多くのエネルギーを吸収することから、ガラス基板 2 2 に接着された側にて、開口部が大きなスルーホール部 2 0 が形成される。また、スルーホール部 2 0 に対応する開口部を有する基板に構造体 1 9 を接着し、基板側からレーザー光を照射することで、同様の効果を得ることも可能である。

【 0 0 7 4 】

次に、基板 1 と構造体 1 9 を、基板 1 上の接続部 3 がスルーホール部 2 0 の開口部位置にくるようにアライメントしながら、加熱、加圧することにより接合される。この時、I D T 電極 2 が構造体 1 9 に形成された凹形状部 9 にて封止される。

【 0 0 7 5 】

次に、ガラス基板 2 2 を構造体 1 9 から剥離する。ガラス基板 2 2 と構造体 1 9 との界面には、熱可塑性樹脂 1 4 が形成されていることから、1 5 0 ℃に加熱することで、容易に剥離することが可能である。また、基板 1 の裏面には、マーキングおよび基板 1 の保護を目的とした樹脂膜を 0 . 0 3 m m 程度塗布し、熱処理を施して硬化させる。構造体 1 9 としては、エポキシ、アクリル酸エステル、

ポリイミド、ベンゾシクロブテン、環オレフィン系等を用いるとよい。熱硬化することで、基板 1 を衝撃等から保護できる強度を有することが好ましい。

【0076】

尚、構造体 19 は、前記した実施例における構造体 4 と同等の機能を有する。

【0077】

次に、フォトリソ工法を用いて、実装配線部 21 を形成する。

【0078】

所望のレジストパターン形成後、真空蒸着法を用いて、Cu を成膜する。この際に、実装配線部 21 は、基板 1 上に形成された接続部 3 にスルーホール部 20 を介して、電氣的に接合するように配線される。スルーホール部 20 は、順テーパー形状に形成されていることおよび厚みが 0.05 mm と薄いことから、スルーホール部 20 の側面への配線形成も容易にできる。更にフォトリグラフィ技術を用いて、外部基板実装用として実装配線部 21 上にバンプパッド部 18 を形成する。バンプパッド部 18 を形成したい部分が開口したレジストパターンを形成し、Ni 膜を成膜し、リフトオフすることにより、バンプパッド部 18 を形成する。フォトリソ工法の詳細は、前記した内容と同等であることから省略する。

【0079】

更に、バンプパッド部 18 上にバンプ 8 を形成する。バンプパッド部 18 上に、マスク印刷法により、レジストパターンを形成する。レジストパターンは、マスク印刷時の位置ズレを考慮して、バンプパッド 18 より小なる開口部寸法に設定しておくが良い。次にレジストパターンを介し、はんだを塗布し、レジストを剥離することでバンプ 8 が形成される。

【0080】

次に、構造体 19 に設けたカットライン部 16 上を、ダイシングカットソーにより、チップサイズに個片化する。

【0081】

以上により、本発明による電子部品 60 は、総厚み 0.08 mm の増加のみで、IDT 電極 2 の封止および外部との実装機能を有する電子部品 60 の提供が可能となる。

【0082】

次に、本発明の電子部品における別な実施例として、以下に説明する。前記の実施例と同様の構成には同じの符号を使用する。

【0083】

図9は、本発明の別な実施例における電子部品を示す概略平面図、図10は、図9におけるE-E部断面図を示す。

【0084】

図9、10において、電子部品70は、基板1と構造体28を有する。

【0085】

基板1上には、複数のIDT電極2と接続部3が形成されている。また、基板1の裏面には、保護膜17が形成されている。構造体28の下面には、IDT電極2の振動を阻害しない空間部を与える凹形状部9を備える。また、構造体28の上面には、実装配線部7が形成される。実装部7の上面にバンプパッド部18が形成され、その上面にバンプ8が形成されている。また、構造体28は、スルーホール部6を備える。更に、実装配線部7と基板1の上面に形成されたパッド部5とを電氣的に接続するためのスルーホール部6にCu27が形成されている（以下導通配線部と称する）。

【0086】

構造体28は、基板1上のIDT電極2が形成された面に接合される。その際、基板1の上面に形成されたIDT電極2は、構造体28に備える凹形状部9で覆われ、IDT電極2が封止される。

【0087】

また、基板1上に形成されたパッド部5と構造体28のスルーホール部6に形成されたCu7は、電氣的に接合される。また、IDT電極2には、求められる機能に対するパターン形状および膜厚の電極が形成されている。また、パターン形状は、IDT電極2に限るものではなく、圧電体振動部を構成する電極部であれば良い。

【0088】

以上のように、IDT電極2を封止し、凹形状部9および導通配線部を有する

構造体 28 を備えることで、封止および電氣的な接続による電子部品 70 の体積増加を最小限に抑えることができる。また、構造体 28 の厚みは、30 nm 程度とすることが可能であり、小型化および低背化に対応した電子部品 70 を提供することが可能となる。

【0089】

また、スルーホール部 6 は、フォトリソ工法により、凹形状部 9 と同時に形成されており、複数のプロセスを必要としない。更に、構造体 28 は、用いる樹脂材料を基板 1 の熱膨張係数に合わせることが可能で、熱膨張差により生ずる位置ズレを抑えることができ、ウエハーレベルでの一括生産プロセスにも対応が可能となる。他の構成および効果については、前記実施例と同様であることから記載を省略する。

【0090】

次に、図 9、10 における電子部品 70 における製造方法を説明する。

【0091】

基板 1 の製造方法については、前記した実施例と同様であることから記載を省略する。

【0092】

図 11 に示す概略プロセスフローを用いて構造体 28 の製造方法を説明する。

【0093】

先ず、図 11 (a) に示すように、鏡面加工された仮接着基板 13、より詳細には、厚さ 5 mm の鏡面加工した Si 仮接着基板 13 に、熱可塑性樹脂膜 23 を形成する。次に、熱可塑性樹脂 23 が形成された上面に、スピナー等を用いて、厚さ 30 nm のネガ型感光性材料 24 を塗布する。感光性材料 24 は、感光性ポリイミド、ベンゾソキロブテン、環オレフィン系樹脂、感光性のガラス系材料、感光性ポリシラン、感光性シリコン、アクリル酸エステル系樹脂等のいずれかを用いても構わない。

【0094】

次に、図 11 (b) に示すように感光性樹脂 24 に IDT 電極 2 の振動を阻害しない空間部を与える凹形状部 9、実装配線部 21 と基板 1 の上面に形成された

接続部 3 とを電氣的に接続するためスルーホール部 6 およびカットライン部 1 6 を加工することにより、構造体 2 8 を形成する。この構造体 2 8 は、スルーホール部 6 およびカットライン部 1 6 に対応するところには現像時に感光性材料 2 4 が完全に除去できる遮光部パターンを、凹形状部 9 を形成する側壁部 2 5 に対応するところには現像時に感光性材料 2 4 が現像液耐性を示すように透過部パターンを、更に凹形状部 9 を形成する天板部 2 6 に対応するところには現像時に感光性材料 2 4 が完全に除去できないようにグレーティング部パターンを備えるフォトリソマスク（図示せず）を介して露光し、現像処理することで形成される。また、これらが形成された構造体 2 8 に対する露光は、一度に処理することが可能である。

【 0 0 9 5 】

この際、用いるフォトリソマスクにおけるグレーティング部は、1 辺が $2\ \mu\text{m}$ 正方形の透光部を有し、遮光部との比率が、1 : 1 になるように配置されている。この配置の比率により、凹形状部 9 の D e p t h 方向の寸法が決定される。深くする時に、遮光部の比率を大きく、浅くする時には、遮光部の比率を小さくすることによりその制御が可能である。

【 0 0 9 6 】

次に、構造体 2 8 中の溶剤性成分を除去し、硬化させるために 350°C で加熱する。これで、仮接着基板 1 3 上に I D T 電極 2 の振動を阻害しない凹形状部 9 、導通配線部が形成されるスルーホール部 6 およびカットライン部 1 6 を備える構造体 2 8 が設けられた部材 F が形成される。これらの形成は、前記した実施例同様レーザー光による加工も可能である。

【 0 0 9 7 】

次に、図 1 2 に示す本発明の電子部品の別の製造方法を概略プロセスフローを用いて説明する。

【 0 0 9 8 】

先ず、図 1 2 (a) に示すように、部材 B に、部材 F を搭載する。

【 0 0 9 9 】

両部材 B、F は、スルーホール部 6 と基板 1 上のパッド部 5 とを、並びに I D

T電極2とIDT電極2の振動を阻害しない凹形状部9とをアライメントし、加熱、加圧することにより接合される。この際、アライメント機能と加熱機能を有する接合装置を用いて接合すると良い。また、構造体28は、IDT電極2を封止する。

【0100】

尚、構造体28は、用いられる基板1の材料に合わせ、熱膨張係数を揃える。これにより、接合時に生じる位置ズレを最小限に抑えることが可能となる。

【0101】

次に、図12(b)に示すように、仮接着基板13を剥離する。仮接着基板13と構造体28の界面には、熱可能性樹脂23が形成されていることから、150℃に加熱することで、容易に剥離することが可能である。この際、構造体28に熱可塑性樹脂23の残渣があれば、この段階で洗浄を施すと良い。

【0102】

次に、図12(c)に示すように、スルーホール部6に、電界めっきを用いて、Cu27を形成する。これによって、基板1に形成した接続部5とその後形成される記載を省略した実装配線部との導通が確保される。

【0103】

次に、構造体28の上面には、図10に示した実施例と同様に実装配線部が形成される。実装配線部の上面にバンプパッド部が形成され、その上面にバンプが形成されている(図示せず)。

【0104】

また、構造体28を構成する感光性樹脂24として、ネガ型感光性樹脂を用いた時に実施例を説明したが、ポジ型感光性樹脂を用いても構わない。

【0105】

この時、構造体28は、スルーホール部6およびカットライン部16に対応するところには現像時に感光性材料24完全に除去できる透光部パターンを、凹形状部9を形成する側壁部25に対応するところには現像時に感光性材料が現像液耐性を示すように遮光部パターンを、更に凹形状部9を形成する天板部26に対応するところには現像時に完全に感光性材料が除去できないようにグレーティン

グ部としたフォトリソマスクを介して露光し、現像処理することで形成される。

【0106】

また、スルーホール部 6 は、順テーパ形状に形成することも可能である。

【0107】

その際、感光性材料 24 として、ネガ型感光性材料を塗布する。次に、露光条件を制御することで、仮接着基板 13 側での露光状態を不十分にさせる。その結果、十分な架橋が進まず、仮接着基板 13 側での感光性材料 24 の現像液耐性が劣ることになり、仮接着基板 13 上において逆テーパ形状とすることができる。その後、基板 1 と接合し、仮接着基板 13 を剥離することで、スルーホール部 6 は、順テーパ形状となる。この順テーパ形状により、配線パターン形成と導通配線形成を同時に行うことで、基板 1 と配線パターンの電氣的な接続を確保することが可能となる。

【0108】

また、別の方式として、仮接着基板 13 に、裏面粗化したガラス仮基板を用い、感光性材料 24 として、ポジ型感光性樹脂を塗布し、露光する。その時にガラス仮基板の裏面にて乱反射された光が、感光性樹脂 24 の下層部に反射される。その結果、感光性樹脂 24 の下層部の架橋が進み、感光性樹脂 24 の下層部の現像液耐性がより向上することになり、仮接着基板 13 上において逆テーパ形状のスルーホール部 6 を形成することができる。その後、基板 1 と接合し、仮接着基板 13 を剥離することで、スルーホール部 6 は、順テーパ形状となる。この順テーパ形状により、配線パターンと導通配線形成を同時に行うことで、基板 1 と配線パターンの電氣的な接続を確保することが可能となる。

【0109】

また、実装配線部は、構造体 28 上に別の構造体を積層することにより構成されてもよい。以下に、その構成の概要を説明する。

【0110】

図 13 に示すように、図 12 (c) に示した構造体 28 の上面にフォトリソ工法を用いて、配線部 29 を形成する。次に、配線部 29 を含む構造体 28 上に、開口部の大きなスルーホールを有する構造体 30 を形成する。次に、フォトリソ

工法を用いて、構造体 30 上に実装配線部 31 を形成する。更に、実装配線部 31 を含む構造体 30 の上面にスルーホールを有する構造体 33 を形成する。構造体 33 のスルーホールには、導電性材料 32 が充填されており、導通配線部が形成されている。また、導電材料 32 の上面には、バンプパッド 34 が形成されている。更に、その上面にバンプ 35 が形成されている。

【0111】

これは、実装配線部等を厚み方向に形成することにより、実装配線部による幅方向のサイズの上昇を抑制する効果がある。

【0112】

以上により電子部品 80 が構成される。

【0113】

また、本発明の電子部品における圧電体振動部は、圧電体薄膜により構成されても構わない。以下に、その構成の概要を説明する。

【0114】

図 14 に示すように、凹部 36 を有するシリコン半導体 37 上に、絶縁膜 38 として、例えば SiO_2 を形成する。次に、絶縁膜 38 上に下部電極 39 として、例えば Al を主成分とする金属膜を形成する。次に、下部電極 39 上に圧電体薄膜 40 として、例えば ZnO を形成する。次に、圧電体薄膜 40 上に上部電極 41 として、例えば Al を主成分とする金属膜を形成する。下部電極 39、圧電体薄膜 40 および上部電極 41 は、所望する機能に対応したパターンがそれぞれ形成されている。ここでは、これらの詳細な説明は省くものとする。

【0115】

この圧電体薄膜 40 は、下部電極 39 と上部電極 41 とが対向する部分にて圧電体振動部を構成する。シリコン半導体 37 に備える凹部 36 は、この圧電体振動部に対応する位置に構成されている。

【0116】

次に、下面に凹形状部 9 を備えた構造体 42 を、シリコン半導体基板 37 の絶縁膜 38 上に接合する。その際、少なくとも上記した圧電体振動部が、構造体 42 に備える凹形状部 9 で覆われ、封止される。また、構造体 42 の上面に、実装

配線部を形成しても構わない。その際、構造体 4 2 には、実装配線部と圧電体薄膜 4 0 により構成された圧電体振動部とが電氣的に接続するための配線導通部が形成される。実装配線部は、シリコン半導体基板 3 7 側に設けてもよい。

【0 1 1 7】

以上により電子部品 9 0 が構成される。

【0 1 1 8】

【発明の効果】

以上のような本発明の電子部品によれば、圧電体振動部の振動を阻害しない空間部、実装配線部の接続部と基板上の接続部を電氣的に接続する配線パターンおよび圧電体振動部を封止する構造体を有するという構成を備えることで、低背化および小型化に対応した電子部品の形成が可能となる。

【0 1 1 9】

また、基板に設けた接続部との電氣的な接合を取るための配線パターンにおける形成プロセスが容易となる。更に、構造体を構成する樹脂材料は、加工性が良好であるため、高速加工も可能となり、低コストに対応した電子部品の形成が可能となる。また、構造体に樹脂材料を用いることで、基板との熱膨張係数を揃えることが可能で、またその有する材料特性より、基板へのダメージを低減できる。

【0 1 2 0】

よって、少なくとも一つの圧電体振動部および接続部を備えた基板に、少なくとも圧電体振動部を封止し、実装機能を有する構造体を備えることにより、小型化および低背化に対応した低コストな電子部品の供給が可能となる。

【図面の簡単な説明】

【図 1】

本発明による電子部品の一実施例の平面図である。

【図 2】

本発明による電子部品の一実施例の断面図である。

【図 3】

本発明による電子部品における基板の形成の概略プロセスフローである。

【図 4】

本発明による電子部品における構造体の形成の概略プロセスフローである。

【図 5】

本発明による電子部品における概略プロセスフローである。

【図 6】

本発明による電子部品の別の実施例の平面図である。

【図 7】

本発明による電子部品の別の実施例の断面図である。

【図 8】

本発明による電子部品における別の構造体の形成の概略プロセスフローである。

。

【図 9】

本発明による別の電子部品の一実施例の平面図である。

【図 1 0】

本発明による別の電子部品の一実施例の断面図である。

【図 1 1】

本発明による別の電子部品における構造体の形成の概略プロセスフローである。

。

【図 1 2】

本発明による別の電子部品における概略プロセスフローである。

【図 1 3】

本発明による別の電子部品の一実施例の断面図である。

【図 1 4】

本発明による別の電子部品の一実施例の断面図である。

【符号の説明】

1…基板

2…I D T電極

3…接続部

4、1 9、2 8、3 0、3 3、4 2…構造体

5…パッド部

6、20…スルーホール部

7、21、31…実装配線部

8、35…バンプ部

9、36…凹形状部

10、32…導電性材料

11…レジスト

12…電極材料

13…仮接着基板

14、23…熱可塑性樹脂

15…Cu箔

16…カットライン部

17…保護部

18、34…バンプパッド部

22…ガラス基板

24…感光性材料

25…側壁部

26…天板部

27…Cu

29…配線部

37…シリコン半導体基板

38…絶縁膜

39…下部電極

40…圧電体膜

41…上部電極

50、60、70、80、90…電子部品

B…基板上にIDT電極および接続部が形成された基板

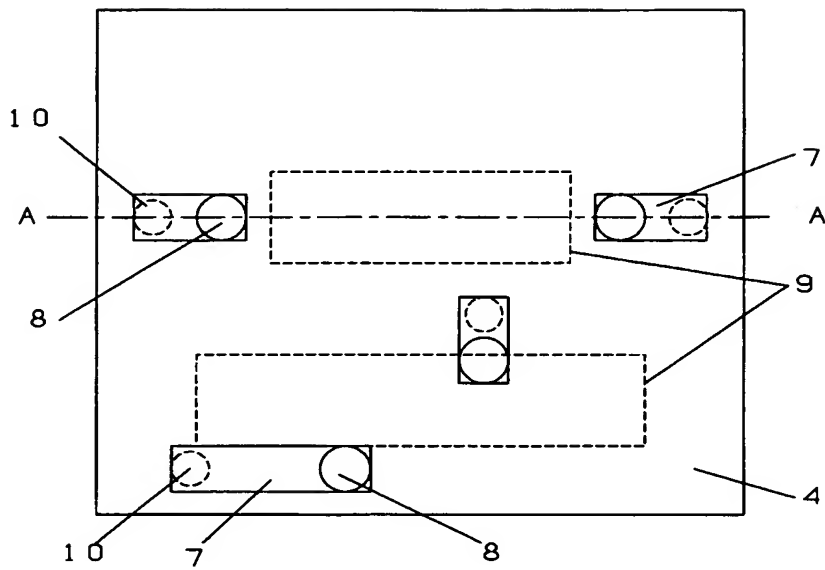
C…仮接着基板に空間部およびカットライン部が形成された構造体

F…別の仮接着基板に空間部およびカットライン部が形成された構造体

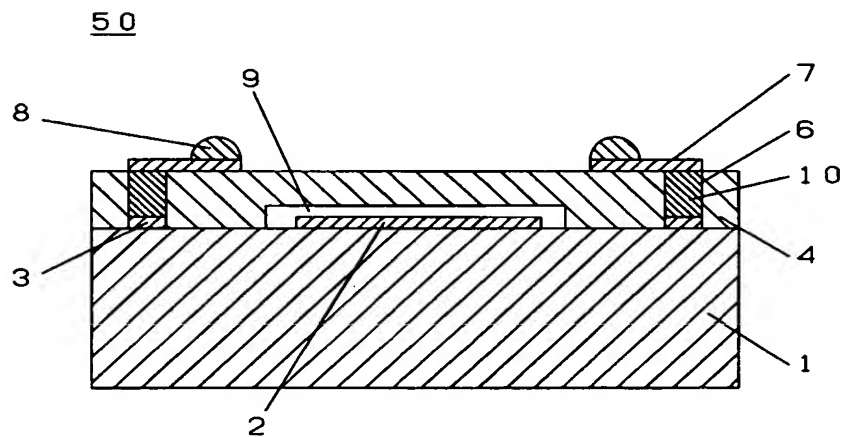
【書類名】

図面

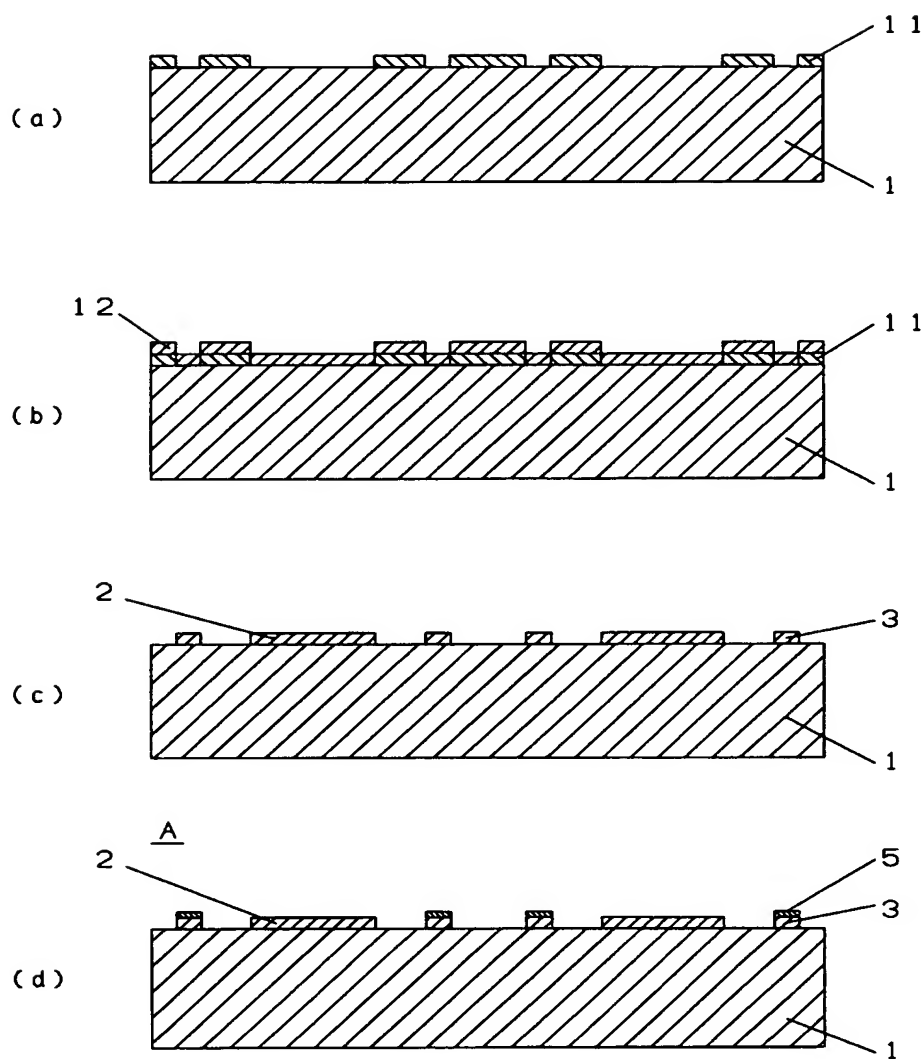
【図 1】



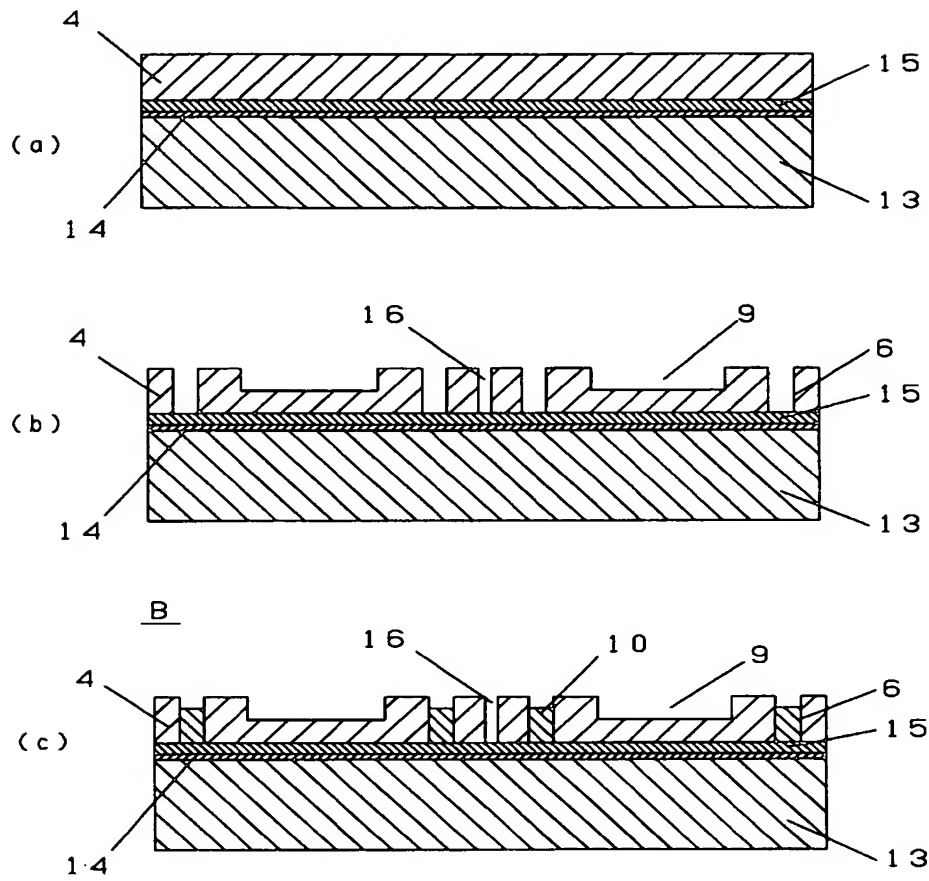
【図 2】



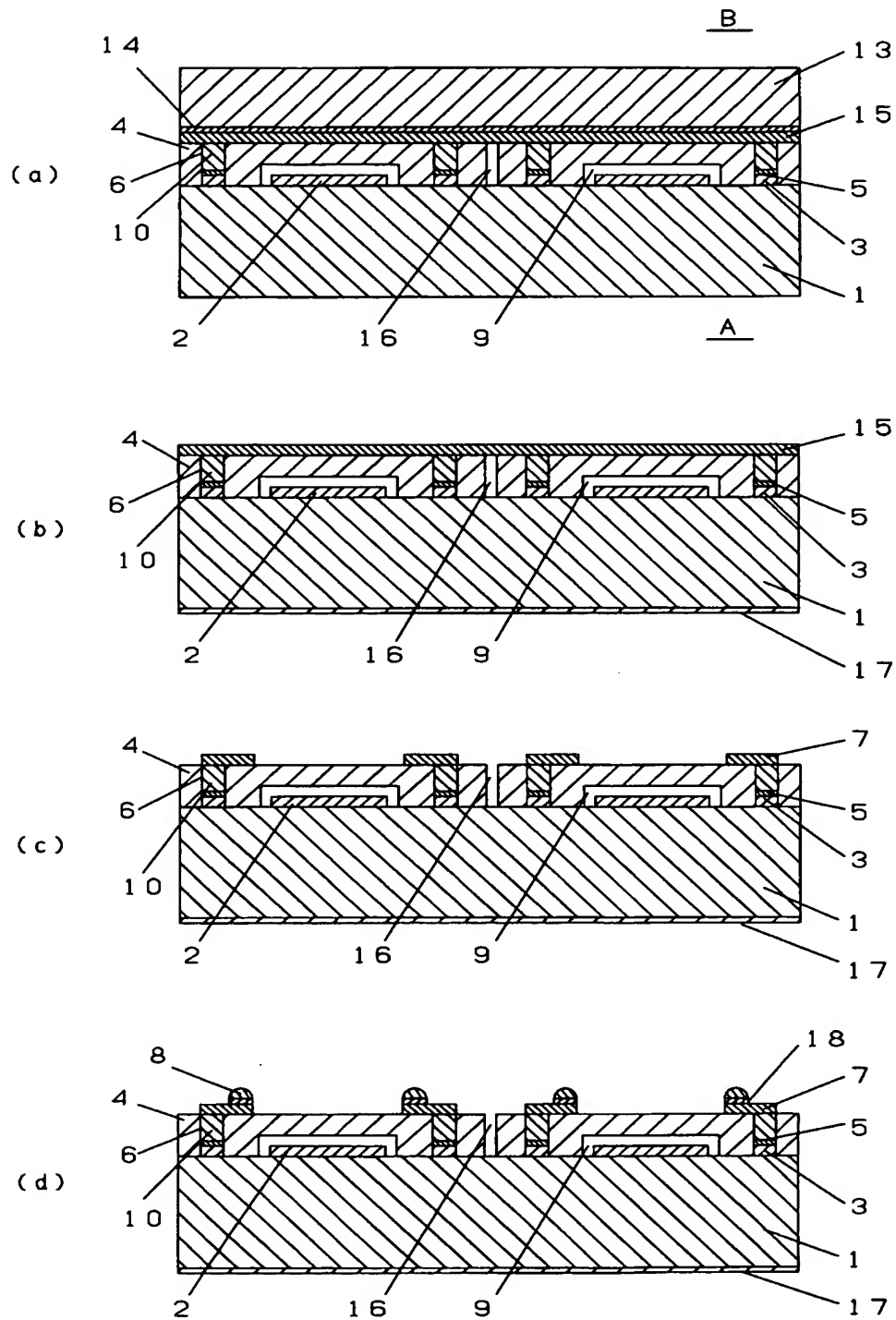
【図 3】



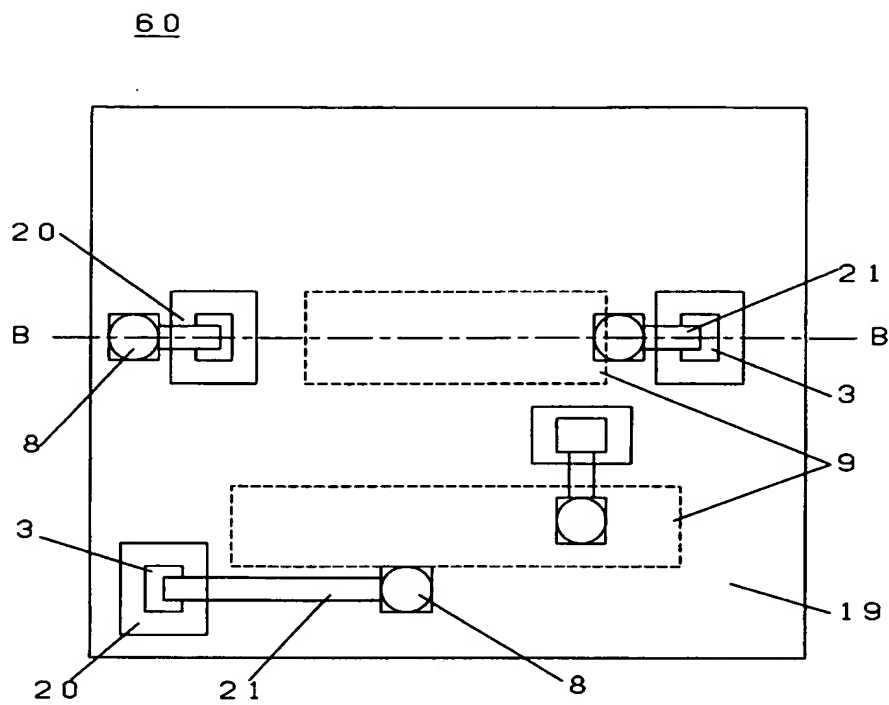
【図 4】



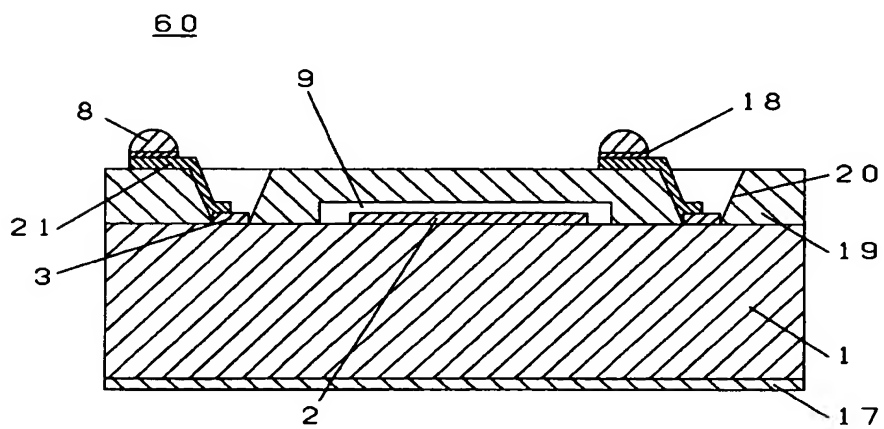
【図 5】



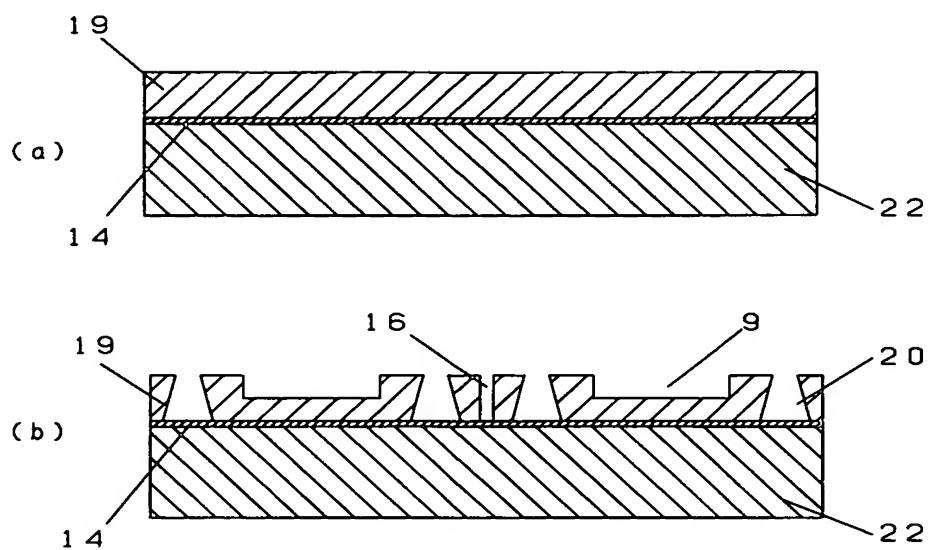
【図 6】



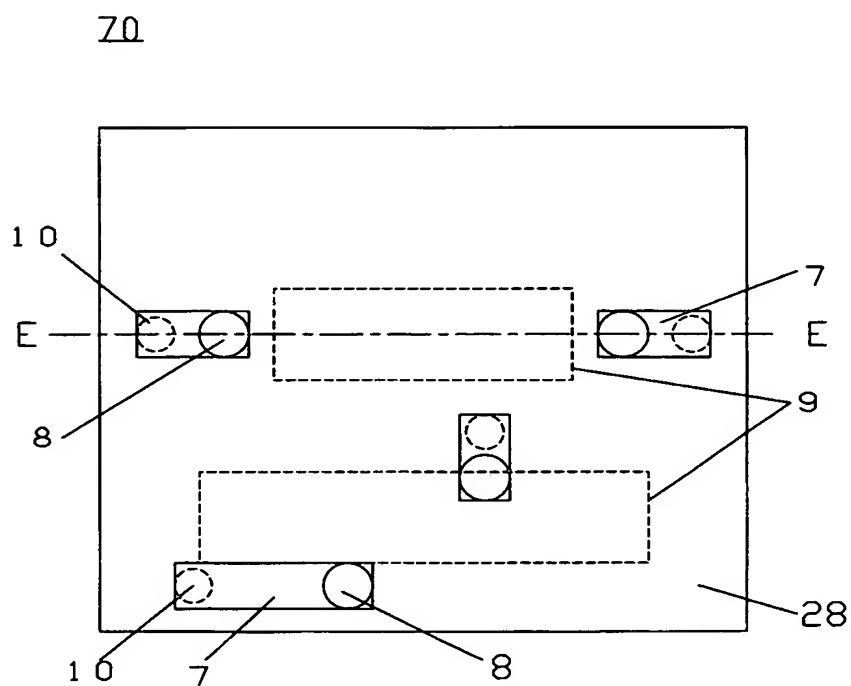
【図 7】



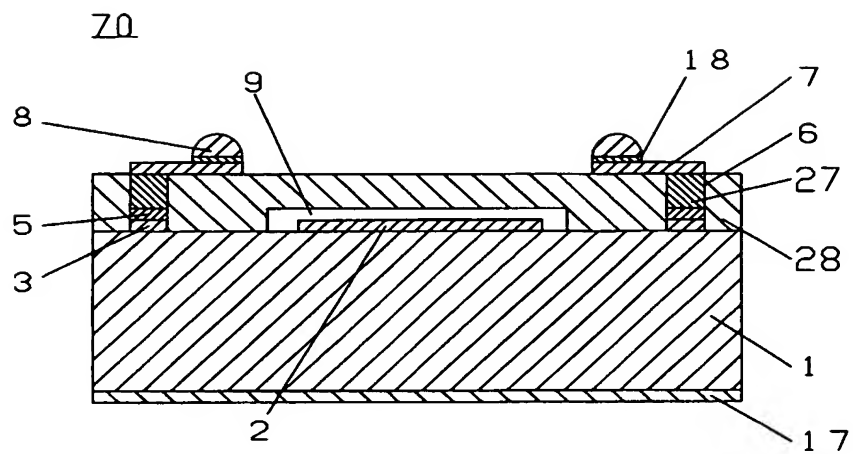
【図 8】



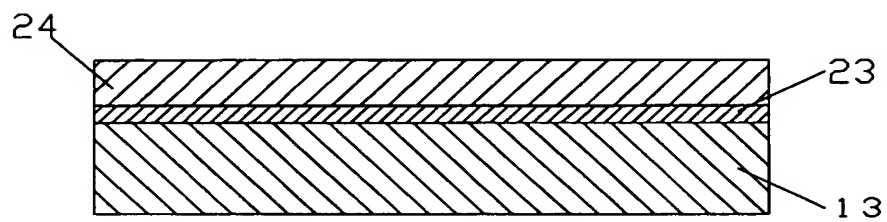
【図 9】



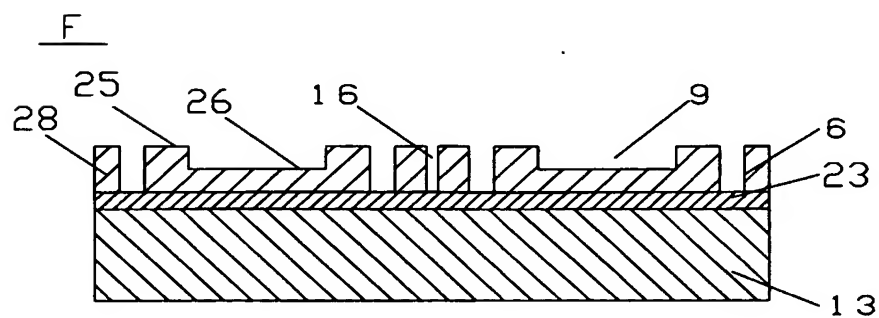
【図 10】



【図 11】

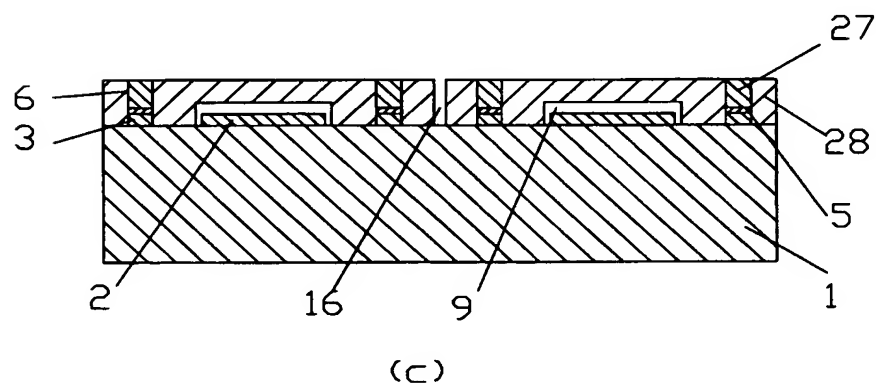
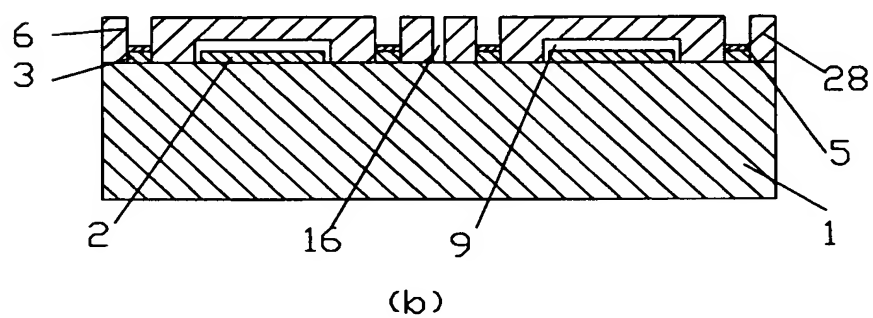
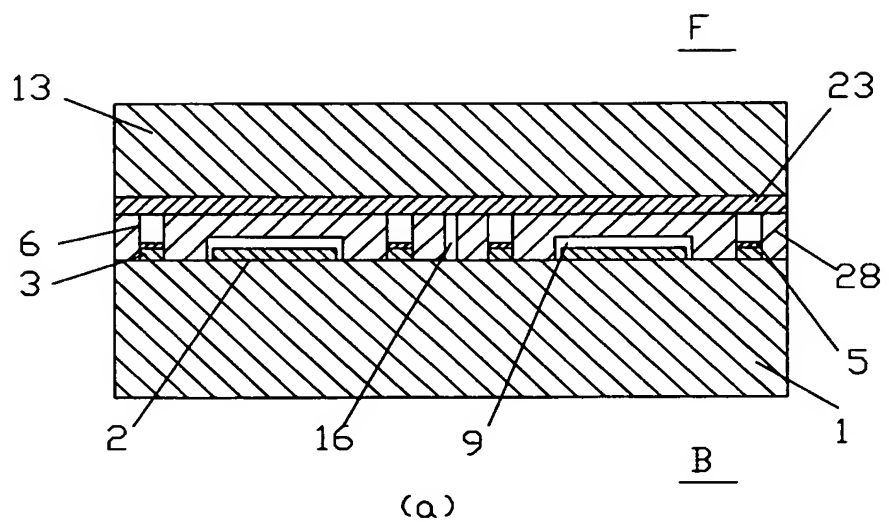


(a)



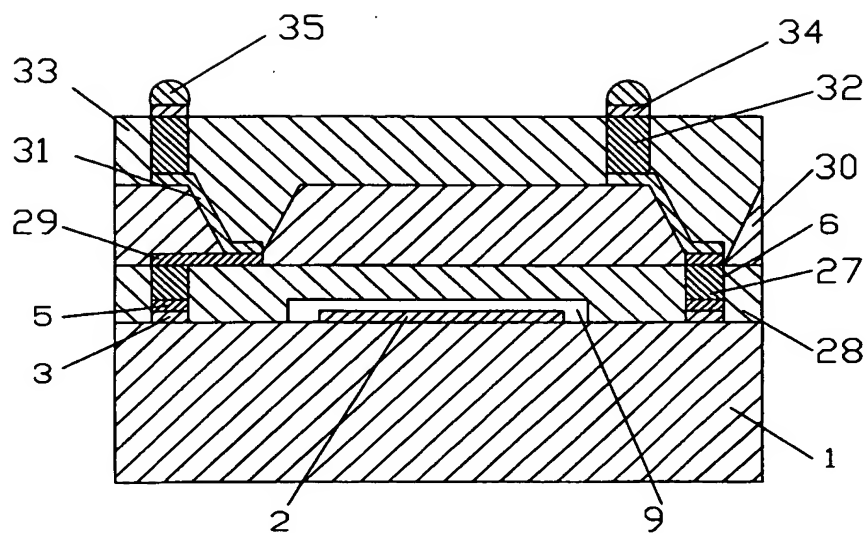
(b)

【図 12】



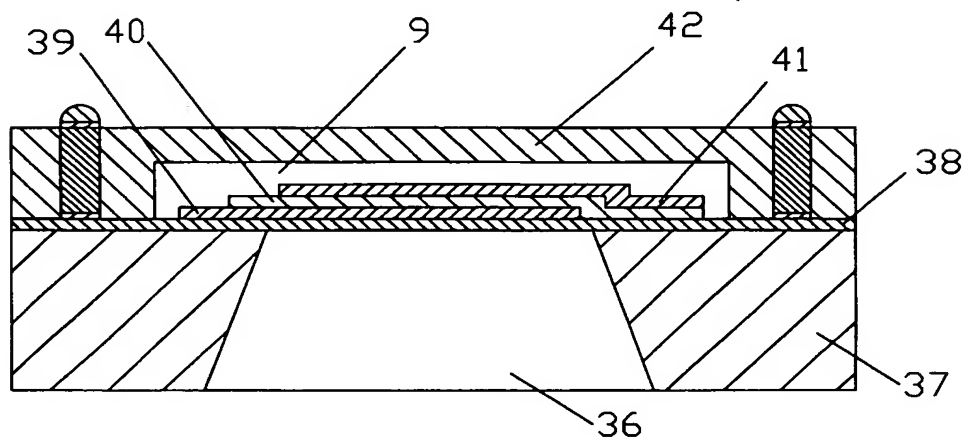
【図 13】

80



【図 14】

90



【書類名】 要約書

【要約】

【課題】 基板に少なくとも一つの圧電体振動部および接続部を有する電子部品において、小型化、低背化および高機能な通信機器等に対応し、低コストな電子部品を提供する。

【解決手段】 基板 1 に少なくとも一つの圧電体振動部 2 および接続部 3 を有し、圧電体振動部 2 の振動を阻害しない凹形状部 9 および基板 1 上のパッド部 5 と構造体 4 の上面に形成した実装配線部 7 を電氣的に接続するスルーホール 6 に導電性材料 1 0 が充填された導通配線部を有する平板状の樹脂材料からなる構造体 4 を備えた電子部品で、構造体 4 は圧電体振動部 2 を封止する。

【効果】 本発明の電子部品によれば、基板と実装配線部との電氣的接合を取るための配線形成が容易になり、更に、構造体に備える空間部で圧電体振動部を封止することから、小型化および低背化に対応した低コストな電子部品の供給が可能となる。

【選択図】 図 2

特願 2 0 0 3 - 1 3 3 2 4 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所